THIẾT KẾ SOC RISC-V TÍCH HỢP BỘ TĂNG TỐC VÀ MÃ HÓA AES-128 PHỤC VỤ MÃ HÓA DỮ LIỆU QUẸT THẺ RFID TRONG HỆ THỐNG ĐÔ THỊ

Nhóm thực hiện: DKP Team
Thành viên: Nguyễn Thị Ngọc Diễm (NT), Đinh Quang Dũng, Dương Nhã Khang, Mai Nguyễn Hà Phương

01 Giới thiệu

Trong bối cảnh đô thị thông minh, dữ liệu thẻ RFID dễ bị đánh cắp và giả mạo khi truyền qua UART hoặc mạng không dây. Đề tài "Thiết kế SoC RISC-V tích hợp bộ tăng tốc AES-128" nhằm phát triển một hệ thống xử lý đảm bảo bảo mật cao và hiệu suất xử lý vượt trội cho các ứng dụng quản lý truy cập, thu phí tự động và thanh toán không tiếp xúc trong đô thị thông minh.

02 Mục tiêu

- Thiết kế SoC RISC-V RV32I tích hợp bộ tăng tốc và mã hóa AES-128 trực tiếp trên phần cứng.
- Sử dụng DMA AXI4-Full để truyền dữ liệu tự động, giảm tải CPU.
- Mã hóa tức thời dữ liệu RFID ngay trên chip, đảm bảo bảo mật và hiệu suất cao.
- Giao tiếp UART hoặc vô tuyến truyền dữ liệu đã mã hóa tới hệ thống trung tâm.

03 Phương pháp

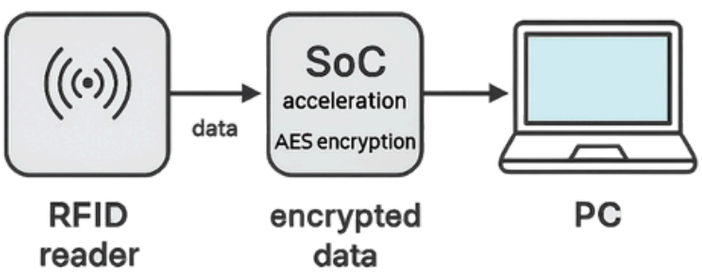
Thiết kế SoC dựa trên IP (IP-based Design)
Thiết kế theo phương pháp Top-down

04 Ý nghĩa

Đáp ứng nhu cầu ngày càng cao về an toàn thông tin trong đô thị thông minh, nâng cao độ tin cậy hệ thống RFID đô thị.

05 Minh họa

Dữ liệu từ đầu vào được gửi tới SoC, nơi tích hợp phần cứng tăng tốc AES encryption để mã hóa dữ liệu. Sau khi mã hóa, dữ liệu an toàn (encrypted data) được truyền đến PC để lưu trữ hoặc xử lý tiếp theo. Hệ thống đảm bảo quá trình truyền dữ liệu từ đầu vào đến máy chủ được bảo vệ an toàn khỏi các rủi ro đánh cắp.



06 Hướng phát triển

Chip SoC tăng tốc và mã hóa dữ liệu trước khi truyền. Ứng dụng đa dạng trong các hệ thống bảo mật dữ liệu thời gian thực hoặc nền tảng thiết bị IoT cho thành phố thông minh.